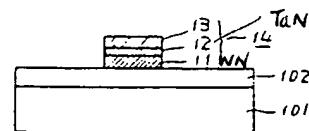


## (54) SEMICONDUCTOR DEVICE

(11) 62-213158 (A) (43) 19.9.1987 (19) JP  
 (21) Appl. No. 61-54608 (22) 14.3.1986  
 (71) TOSHIBA CORP (72) HARUO YAMAGISHI  
 (51) Int. Cl. H01L29 46, H01L29 20, H01L29-80

**PURPOSE:** To obtain an electrode having excellent characteristics and superior uniformity by particularly specifying the composition of a high melting-point transition nitride in a III-V compound semiconductor device with the electrode consisting of the nitride.

**CONSTITUTION:** The surface of a III-V compound semiconductor 101 is provided with an electrode constituted by laminating a first conductive layer 11 composed of WN, a second conductive layer 12 made up of TaN and a third conductive layer 13 consisting of a metal having excellent electrical conductivity. The value of the ratio of metallic atomicity to nitrogen atomicity in the nitride of a high melting-point transition metal is represented as a nitriding ratio, and the nitriding ratio  $x_1$  of WN is kept within a range of  $0.25 \leq x_1 \leq 0.45$  and the nitriding ratio  $x_2$  of TaN within a range of  $0.15 \leq x_2 \leq 0.25$ . Accordingly, a semiconductor device with the electrode having excellent characteristics and superior uniformity is acquired.



257/145

THIS PAGE BLANK (USPTO)

## ⑯ 公開特許公報 (A) 昭62-213158

⑯ Int.Cl.

H 01 L 29/46  
29/20  
29/80

識別記号

厅内整理番号

B-7638-5F  
8526-5F  
F-8122-5F

⑯ 公開 昭和62年(1987)9月19日

審査請求 未請求 発明の数 1 (全6頁)

⑯ 発明の名称 半導体装置

⑯ 特願 昭61-54608

⑯ 出願 昭61(1986)3月14日

⑯ 発明者 山岸 春生 川崎市幸区小向東芝町1 株式会社東芝小向工場内

⑯ 出願人 株式会社 東芝 川崎市幸区堀川町72番地

⑯ 代理人 井上 一男

## 明細書

## (産業上の利用分野)

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

III-V族化合物の半導体基体と、

前記半導体基体の主面上に設けられたタングステン・ナイトライドからなる第一導電層と、

前記第一導電層上に設けられたタンタル・ナイトライドからなる第二導電層と、

前記第二導電層上に設けられた金属の第三導電層で構成される電極を備する半導体装置において、金属のナイトライドの金属原子数と窒素原子数との比の値を空化率として表わし、

第一導電層のタングステン・ナイトライドの空化率  $x_1$  が  $0.25 \leq x_1 \leq 0.45$  の範囲に、かつ、第二導電層のタンタル・ナイトライドの空化率  $x_2$  が  $0.15 \leq x_2 \leq 0.25$  の範囲にある電極を備したことを特徴とする半導体装置。

## 3. 発明の詳細な説明

〔発明の目的〕

## (従来の技術)

この発明は高融点遷移金属ナイトライドからなる電極を備したIII-V族化合物半導体装置に係り、特にそのナイトライドの組成を特定するようにして、特性が良好で均一性に優れた電極を備えるものである。

## (従来の技術)

近年III-V族化合物半導体、特にGaAs半導体を用いたICの開発が急速に進められており、それに伴い、IC開発の要素技術としてショットキーパリヤ形成技術等への要求も高く、且つ複雑化している。

最近、所謂「自己整合型FET」が特性の均一性、再現性等の点で有望視され開発が進められている。そのゲート電極に使用される材料として高融点遷移金属のシリサイドやナイトライド等がある。しかし、これらの材料は耐熱性に優れる反面、電気抵抗が金属に比べて幾分大きいという欠点がある。このような自己整合ゲート形成技術を例えればマイクロ波ICのFETに適用する場合、ゲート抵抗の低

減が重要な課題である。発明者は裏に、上記の場合に有効なゲート電極として、GaAs半導体上に形成された高融点遷移金属ナイトライドからなる第一の導電層と、これに積層形成され上記と異種の高融点遷移金属ナイトライドからなる第二の導電層と、さらにこれに積層形成された良好な導電金属の第三の導電層から構成される多層構造電極を特許出願した（特願昭57-227057号明細書）。

（発明が解決しようとする問題点）

発明者は叙上の構造の電極を備える自己整合型FETの具体的開発の課程で、特にそのゲート電極の形成に、第1の導電層としてタンゲステン・ナイトライド(WN)，第2の導電層としてタンタル・ナイトライド(TaN)，第3の導電層として金(Au)を選び、さらにゲート抵抗の低減、特性の均一性等の改善をはかる必要に迫られた。

この発明は上記問題点に鑑み、自己整合型FETについて特にそのゲート電極の構成を改良し、ゲート抵抗の低減、特性の均一性等の改善をはかるものである。

ート特性を得るためにも、また、素子製作工程中の例えば膜の剥離というトラブルの発生を避ける上からも重要な問題である。密着性を直接示す量とはいえないが、関連するものとして被着膜の応力がある。第5図はGaAs基体上にWN膜を被着した場合のWN膜の応力とN<sub>2</sub>ガス分圧比γとの関係を示したもので、引張応力は0.05≤γ≤0.20の領域で小さく、γの0.1付近で最小値を有する。

次に、ショットキバリヤ特性に重大な影響をもつWN膜とGaAs基体間の反応性についてみる。GaAs基体表面にWN膜をγを変えて堆積し、850℃で60分間アニールを施したのち、WN/GaAs系の界面反応をヘリウムイオンによるラザフォード後方散乱法(RBS法)で調べた結果を第6図に示す。この図からも明らかのように、γ=0.06, γ=0.12ではアニール前後で後方散乱スペクトルにほとんど変化は見られないが、γ=0.2ではかなりの変化が見られ、γの増加に伴なってスペクトルの変化は大きくなり、WN/GaAs間界面反応は増大する傾向が有ることを示している。

（発明の構成）

（問題点を解決するための手段）

この発明は、Ⅲ-V族化合物の半導体基体の主面上にタンゲステン・ナイトライドからなる第一導電層と、この導電層に積層されタンタル・ナイトライドからなる第二導電層と、この第二導電層に積層され金属である第三導電層とから構成される電極を有する半導体装置において、金属ナイトライドの金属原子数と窒素原子数との比の値を窒化率として表わし、第一導電層のタンゲステン・ナイトライドの窒化率x<sub>1</sub>が0.25≤x<sub>1</sub>≤0.45の範囲に、かつ、第二導電層のタンタル・ナイトライドの窒化率x<sub>2</sub>が0.15≤x<sub>2</sub>≤0.25の範囲にある電極を具備したことを特徴とする。

まず、WNおよびTaN膜の比抵抗ρとγの相関は第4図に示すようになり、ゲート抵抗を低くするという最優先の要求からN<sub>2</sub>ガス分圧比γはWN膜でγ≤0.25, TaN膜でγ≤0.15が好ましいことがわかる。

次に、WN膜とGaAs基体との密着性は、良好なゲ

叙上の検討結果を総合してWN膜の形成に好適なγ値として0.05≤γ≤0.20を採用することが好ましいと結論される。

次に、電極のAu/TaN/WN/GaAs構造において、WN膜上に積層して形成されるTaN膜のγの増大につれAuとの密着性が減少する傾向にあること、それによって素子製作中にAu膜の剥離や、イオン注入原子の活性化アニールでAuが茶褐色に変質し部分的に剥離したり、その他、工程上不都合なことを誘発することが判明した。発明者は上記の欠点を除去するためにWN膜について行なった上記諸検討と同様にして0.05≤γ≤0.15の範囲が好ましいことを見出した。

叙上のナイトライド膜はその形成時のN<sub>2</sub>ガスの分圧比γによって特定しようとしたが、形成時の温度等による影響で変動が大きい。一般にスパッタで形成したナイトライド膜はX線分析等によつて窒化物相と未反応の金属相の混合相で構成されている。例えば、WN膜はW<sub>2</sub>N相とW相、TaN膜はTa<sub>2</sub>N相とTa相のいずれも混合相からなっており、

これらの混合相を全体として  $WN_x$ ,  $TaN_x$  と表わし、この  $x$  を窒化率と定義する。

上記窒化率  $x$  は、例えばラザフォード後方拡散 (RBS) の W (または Ta) と N 原子のスペクトル強度の解析により W (または Ta) 原子数と N 原子数との比を求ることにより決定できる。第 1 図 a に  $\gamma = 0.05, 0.1, 0.3$  に対する VN 膜の原子数比  $N/V (= x_1)$  とアニール温度との相関例を示した。この図から  $\gamma$  の増加に伴なってスパッタ形成後の VN 膜の  $x$  は大きいが、アニール温度を高くする (増大する) と減少し、800°C 付近ではほぼ一定値になる。これらの一定値を近似的に窒化率  $x_1$  とする。TaN 膜の場合も VN 膜と同様に第 1 図 b に示す TaN 膜の原子数比  $N/Ta (= x_2)$  とアニール温度との相関から窒化率  $x_2$  を求めた。すなわちそれぞれの窒化率は VN 膜の  $0.05 \leq \gamma \leq 0.20$  に対応する窒化率として  $0.25 \leq x_1 \leq 0.45$ , TaN 膜の  $0.05 \leq \gamma \leq 0.15$  に対応する窒化率として  $0.15 \leq x_2 \leq 0.25$  を得た。

#### (作用)

この発明の高融点遷移金属ナイトライドの電極

を備える III-V 族化合物半導体装置は、その電極の金属ナイトライドの構成に窒化率をもって組成を特定できるようにし、また、金属ナイトライドの窒化率の範囲を限定して目的の半導体装置を得る。

#### (実施例)

以下、この発明の一実施例の III-V 族化合物半導体装置の構造について図面を参照して説明する。

第 2 図 a ~ f はこの発明にかかる高融点遷移金属ナイトライドの電極を備える GaAs 自己整合型 FET の製造工程を示す。

第 2 図 a は半絶縁性 GaAs 基板 101 に例えば Si 原子を選択的にイオン注入して n 型注入層 102 を形成する工程を示し、このイオン注入は例えば  $50\text{keV}$ ,  $2 \times 10^{12}\text{Si}^+/\text{cm}^2$  で、続いて  $70\text{keV}$ ,  $3.5 \times 10^{12}\text{Si}^+/\text{cm}^2$  で施される。

次に、第 2 図 b に示すように、上記 n 型注入層 102 の表面にスパッタ法で約  $1200\text{\AA}$  厚の VN 層 11, 約  $400\text{\AA}$  厚の TaN 層 12, 約  $5000\text{\AA}$  の Au 層 13 を順次連続的に被着する。上記ナイトライド層の被着は次

のように行なう。GaAs 基板 11 を例えば  $\gamma$ -スパッタ装置内に適宜配置し、ベルジャ内に背圧が  $1 \times 10^{-3}\text{Torr}$  に到達したのち、所望の  $N_2$  ガス分圧比 (窒化率に対応) になるように  $N_2$  ガス, Ar ガスをベルジャ内に導入し、この混合ガスの圧力が例えば  $4 \times 10^{-3}\text{Torr}$  中で  $W$  ターゲットを、続いて  $N_2$  ガス分圧比を変えて Ta ターゲットを夫々スパッタして GaAs 基板の n 形注入層 12 の表面に VN 層 11, TaN 層 12, Au 層 13 を順次被着する。

次に、第 2 図 c に示すように、例えば光鍛刻法を用いてゲート電極 14 を形成する。

次に、第 2 図 d に示すように、ゲート電極をマスクとしてイオン注入し高濃度注入層 (n<sup>+</sup> 層) 15 を形成する。このイオン注入は例えば  $180\text{keV}$ ,  $3 \times 10^{13}\text{Si}^+/\text{cm}^2$  で施す。

次に、第 2 図 e に示すように、ゲート電極 14 を含む GaAs 基板 101 の表面全面に被覆層 16、例えば CVD  $\text{SiO}_2$ 、好ましくは PSG 膜を厚さ  $5000\text{\AA}$  程度堆積する。ついで Ar ガス中で例えば  $800\text{^\circ C}$ , 10 秒程度の赤外線ランプアニールを施して注入イオンの

活性化を行なったのち、上記被覆層 16 を除去する。このようにして、第 2 図 f に示すように、ゲート電極 14 に自己整合された n<sup>+</sup> 層 15 が形成される。最後に上記 n<sup>+</sup> 層 15 にソース電極 17, ドレイン電極 18 を形成して所謂自己整合型 FET が得られる。

次に VN の窒化率  $x_1$  と TaN の窒化率  $x_2$  を求める。すなわち、反応性スパッタ法で形成されたナイトライド膜の性質は、スパッタガスである  $N_2$  ガスと Ar ガスの混合比によって著しく影響を受ける。この混合ガスにおける  $N_2$  ガス分圧比を  $\gamma$  として  $P_{N_2}/(P_{N_2} + P_{Ar})$  と定義する。ここに  $P_{N_2}$  は  $N_2$  ガスの分圧、 $P_{Ar}$  は Ar ガスの分圧である。一般に、反応性スパッタで形成したままのナイトライド膜は無定形に近く、高温アニール例えば  $800\text{^\circ C}$  でのアニールでは結晶化する。

以上の如くして形成された自己整合型 FET の特性を調べた。第 3 図に第二導電層 TaN<sub>x</sub> 膜の窒化率  $x_2$  を  $0.20$  に固定し、第一導電層 VN<sub>x</sub> 膜の窒化率  $x_1$  を (a)  $x_1 = 0.1$ , (b)  $x_1 = 0.35$ , (c)  $x_1 = 0.5$  とした場合のゲート電極の比抵抗 ( $\text{Au}/\text{TaN}/\text{VN}$  複合層

の実効的比抵抗) および、ゲート・ソース間の整流性に関するI/V特性のn値、耐圧(於電流値10 $\mu$ A)を各30個に対する個数分布を示す。図から判るように、VN膜の窒化率 $x_1 = 0.35$ の場合が $x_1 = 0.1$ および $x_1 = 0.5$ の場合に比較して良好であることは明らかである。なお、これらのFET(ゲート長が0.7 $\mu$ m、ゲート幅が300 $\mu$ m)の平均特性として12GHzにおける雑音指数および出力は、上記窒化率 $x_1$ が0.1の場合2.2dB、6.6dB、 $x_1$ が0.35の場合1.8dB、7.1dB、 $x_1$ が0.5の場合2.5dB、6.3dBであった。

なお、実施例では自己整合型FETについて述べたが、FETを含んで構成されるICにも適用できることはいうまでもない。また、GaAs半導体についてのみ説明したが、他のIII-V族化合物半導体にも適用できることは勿論である。

#### [発明の効果]

この発明はIII-V族化合物半導体表面にVNからなる第一導電層、TaNからなる第二導電層、電気伝導性の良好な金属でなる第三導電層を積層して

構成された電極を具備し、上記高融点遷移金属のナイトライドにおける金属原子数と窒素原子数との比の値を窒化率として表わし、VNの窒化率 $x_1$ が $0.25 \leq x_1 \leq 0.45$ の範囲に、かつ、TaNの窒化率 $x_2$ が $0.15 \leq x_2 \leq 0.25$ の範囲にあることを特徴とするもので、特性が良好で、かつ、均一にすぐれた電極を備えた半導体装置が得られる顕著な利点がある。

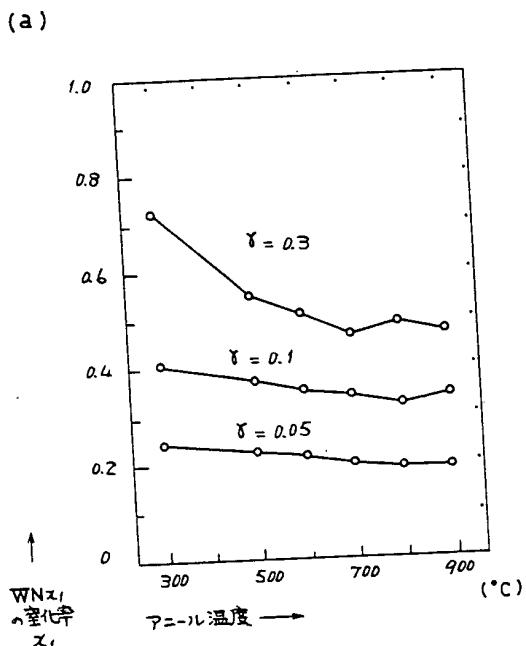
#### 4. 図面の簡単な説明

第1図aはこの発明にかかる半導体装置の電極のVN<sub>x1</sub>膜の原子数比とアニール温度との相関例を示す線図、第1図bはこの発明にかかる半導体装置の電極のTaN<sub>x2</sub>膜の原子数比とアニール温度との相関例を示す線図、第2図a~fはこの発明にかかる半導体装置の一実施例のGaAs自己整合型FETの製造課程を順次説明するためのいずれも断面図、第3図a~cは窒化率と半導体素子の特性を示す線図、第4図はVN膜とTaN膜との比抵抗値とN<sub>2</sub>ガス分圧比の相関を示す線図、第5図はVN膜(VN/GaAs)の応力とN<sub>2</sub>ガス分圧比の相関を示す線

図、第6図はVN/GaAs界面のラザフォード後方散乱スペクトルを示す図である。

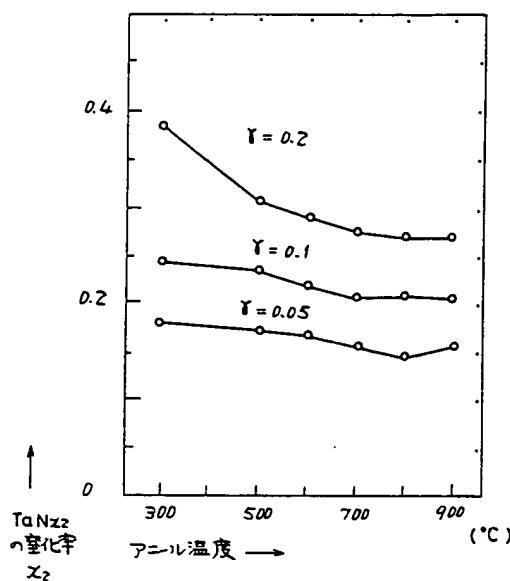
- 11----VN層
- 12----TaN層
- 13----Au層
- 14----ゲート電極
- $x_1$ ----VN<sub>x1</sub>膜の窒化率
- $x_2$ ----TaN<sub>x2</sub>膜の窒化率
- 101---GaAs基体

代理人 弁理士 井 上 一 男



第1図

(a)

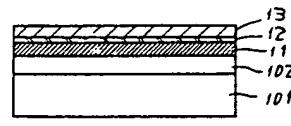


第 1 図

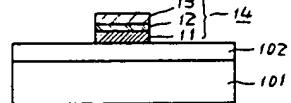
(a)

101: 半絶縁性 GaAs 基体  
102: n 型注入層

(b)

11: WN 層  
12: TaN 層  
13: Au 層

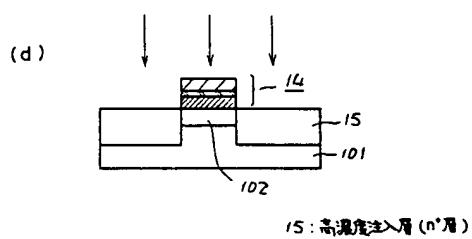
(c)



14: ゲート電極

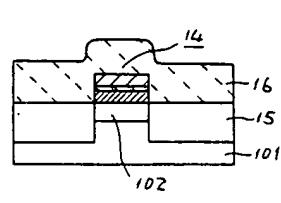
第 2 図

(d)



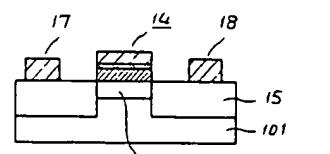
15: 高濃度注入層 (n+層)

(e)



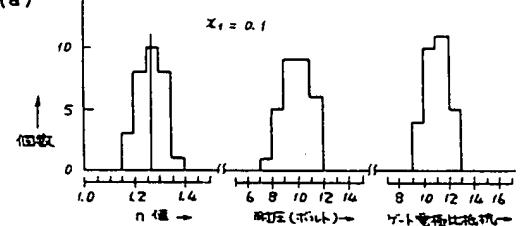
16: 被覆層

(f)

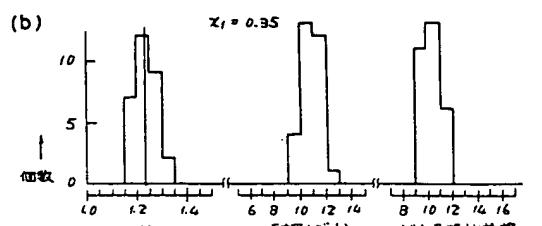
17: ソース電極  
18: ドレイン電極

第 2 図

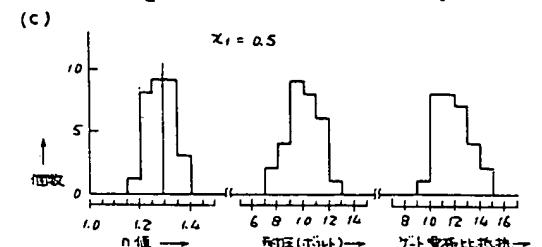
(a)



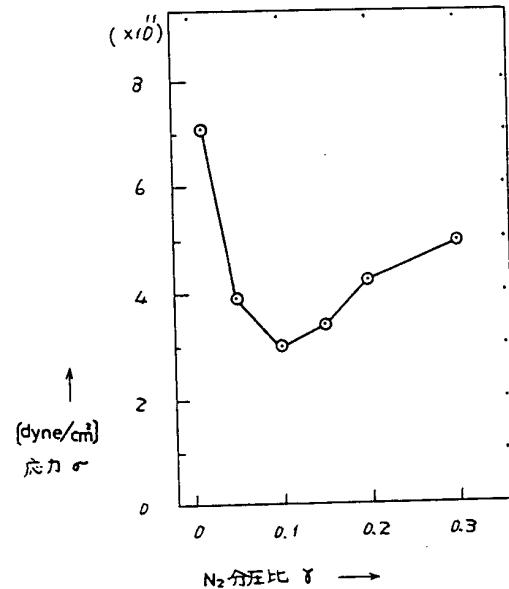
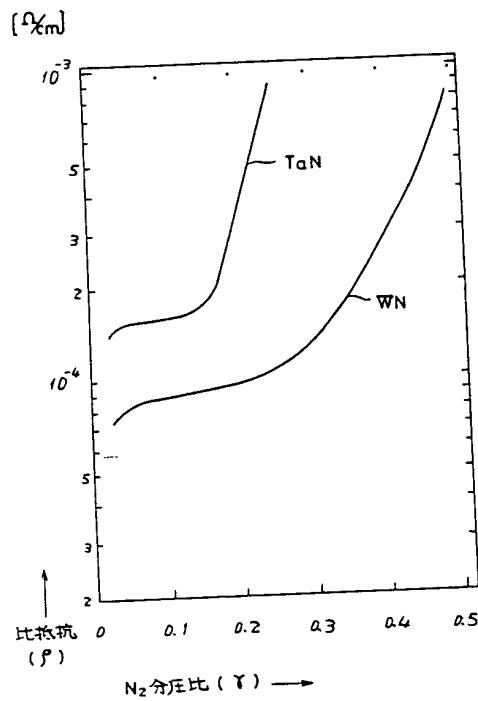
(b)



(c)

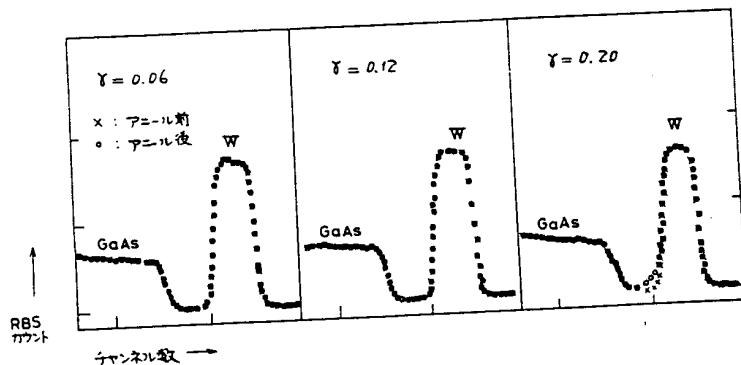


第 3 図



第 5 図

第 4 図



第 6 図